

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭64-21785

⑫ Int. Cl.
G 11 C 11/34

識別記号

府内整理番号
J-8522-5B

⑬ 公開 昭和64年(1989)1月25日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特願 昭62-176890

⑯ 出願 昭62(1987)7月15日

⑰ 発明者 江谷 義博 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑱ 出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

入力手段と、メモリーセルアレイ制御手段と、メモリーセルアレイ制御手段より出力される多数の制御信号を同時にに出力する手段と、

メモリーセルアレイと、メモリーセルアレイより出力される多数の信号を同時にに出力する手段と、出力手段とからなる半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関し、特に半導体記憶装置における基準クロック信号に対する遅延をなくす回路に関する。

(発明の概要)

この発明は、半導体記憶装置において、メモリーセルアレイ制御手段とメモリーセルアレイの間

に多数の制御信号を同時にに出力する手段(以下、多入力同時動作手段1という。)を追加し、更にメモリーセルアレイと出力手段の間にメモリーセルアレイより出力される多数の信号を同時にに出力する手段(以下、多入力同時動作手段2という。)を追加し、多入力同時出力手段1及び多入力同時出力動作2を、同一基準クロックC1で動作することにより、基準クロックC1に対する遅延をなくすようにしたものである。

(従来の技術)

従来、第2図で示すように入力手段10と、メモリーセルアレイ制御手段4と、メモリーセルアレイ3と、出力手段16とから構成される半導体記憶装置が知られていた。

(発明が解決しようとする問題点)

しかし、従来の技術で述べた半導体記憶装置の入力手段10より入力される信号11に対する出力手段16より出力される信号15の遅延は、メモリーセルアレイ制御手段4の内部での遅延と、メモリーセルアレイ3の内部の遅延の和となり、前記入力

特開昭64-21785(2)

手段10より入力される信号11に対する出力手段16より出力される信号15の遅延を減らすには、前記メモリーセルアレイ制御手段4と、メモリーセルアレイ3の高速化が必要であるが、限界があるという欠点があった。

この発明は、従来のこの様な欠点を容易に解決することを目的としている。

(問題点を解決するための手段)

上記問題点を解決するために、この発明は従来の技術で知られていた半導体記憶装置に基準クロックに同期する前記多入力同時出力手段1及び多入力同時出力手段2を付け加えるようにした。

(作用)

上記のように基準クロックCLに同期する前記多入力同時出力手段1及び前記多入力同時出力手段2を追加することにより、第3図で示すように、メモリーセルアレイ制御手段4より出力される信号2及び、メモリーセルアレイ3より出力される信号14は、各々基準クロックCL1周期内の遅延に納めることで、基準クロックCLに対する遅延

をなくした出力を、出力手段16より出すことができるようになった。

(実施例)

以下に、本発明の実施例を図面に基づいて詳細に説明する。

第1図において、入力手段10より入力された入力信号群11をメモリーセルアレイ制御手段4に入力し、前記メモリーセルアレイ制御手段4より出力される複数の制御信号群12を、多入力同時出力手段1に入力する。前記多入力同時出力手段1は、基準クロックCLで入力信号を同期することができる例えば、制御信号群12と同数のフリップフロップとする。

更に、前記多入力同時出力手段1より出力された制御信号群13をメモリーセルアレイ3内部のワード線に入力し、前記メモリーセルアレイ3より出力される出力信号14を多入力同時出力手段2に入力する。前記多入力同時出力手段2は前記、多入力同時出力手段1に入力した同一の基準クロックで同期することができる例えば、出力信号14と

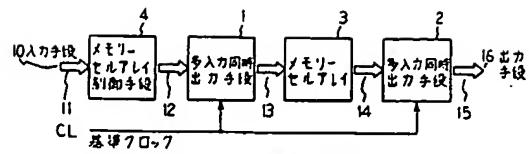
(発明の効果)

本発明は、以上説明したように、従来の半導体記憶装置では困難であった入力手段10に対する出力手段16の遅延を、基準クロックCL2周期ずらすことにより、容易にくくすことができるという効果がある。

4. 図面の簡単な説明

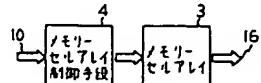
第1図は、本発明にかかる半導体記憶装置のブロック図、第2図は従来の半導体記憶装置のブロック図、第3図は半導体記憶装置の信号群のタイミング図である。

- 11・・・入力信号群
 - 12・・・メモリーセルアレイ制御信号群
 - 13・・・基準クロックに同期したメモリーセルアレイ制御信号群
 - 14・・・メモリーセルアレイ出力信号群
 - 15・・・基準クロックに同期したメモリーセルアレイ出力信号群
- 以上
出願人 セイコー電子工業株式会社



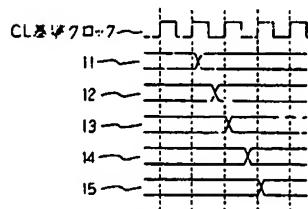
半導体記憶装置のブロック図

第1図



従来の半導体記憶装置のブロック図

第2図



半導体記憶装置信号群タイミング図

第3図